

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-216441

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
H04N 5/66

(21)Application number : 04-042084

(71)Applicant : SONY CORP

(22)Date of filing : 31.01.1992

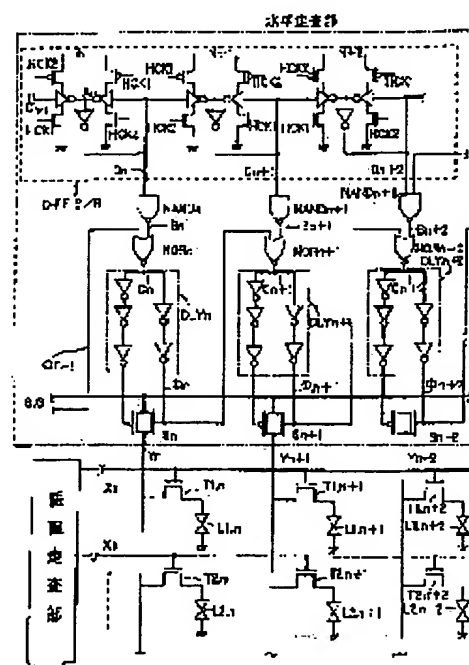
(72)Inventor : MAEKAWA TOSHIICHI

## (54) HORIZONTAL SCANNING CIRCUIT WITH FUNCTION FOR ELIMINATING FIXED DUPLICATE PATTERN

## (57)Abstract:

**PURPOSE:** To eliminate the vertical streak defect of a displayed image by improving the horizontal scanning circuit of an active matrix type liquid crystal display device.

**CONSTITUTION:** The horizontal scanning circuit of the active matrix type liquid crystal display device is equipped with a shift register S/R for successively generating a horizontal switch-driving pulse signal. Further, a fixed pattern-removing circuit (NOR) is connected, thus an advance pulse generated previously from the shift register S/R is received as a control signal and the output timing of a succeeding pulse having the rise of the same phase as the fall of the preceding pulse is controlled. Consequently, interference between pulses included in the horizontal switch-driving pulse signal is eliminated.



## LEGAL STATUS

[Date of request for examination]

05.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3277382

[Date of registration]

15.02.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The horizontal scanning circuit characterized by having the fixed pattern removal circuit which controls the output timing of the Mth step of late-coming level switch driving pulse which accepts the shift register for carrying out sequential generating of the level switch driving pulse signal from the output section, and the forerunner level switch driving pulse of eye N stage generated previously as a control signal, and has falling of the forerunner level switch driving pulse of eye this N stage, and a standup in phase.

[Claim 2] this fixed pattern removal circuit -- the forerunner level switch driving pulse of eye N stage -- a control signal -- carrying out -- the second departure of eye a stage ( $M=N+1$ ) -- the horizontal scanning circuit according to claim 1 characterized by controlling the output timing of a level switch driving pulse.

[Claim 3] Two or more gate lines arranged in parallel with X shaft orientations, and two or more data lines arranged in parallel with Y shaft orientations, The 1st scan section which carries out line sequential supply of the gate signal at said gate line, and the 2nd scan section which carries out line sequential supply of the data signal at said data line, In the two dimensional address equipment which has the active element prepared in the intersection of said gate line and the data line, respectively in order to access the data signal which is chosen by the gate signal supplied from said gate line, and is supplied from said data line A shift register for said 2nd scan section to carry out sequential generating of the level switch driving pulse signal, The fixed pattern removal circuit which controls the output timing of the Mth step of late-coming level switch driving pulse which accepts the forerunner level switch driving pulse of eye N stage generated previously as a control signal, and has falling of the forerunner level switch driving pulse of eye this N stage, and a standup in phase, Two dimensional address equipment characterized by consisting of a delay circuit which delays the output from this fixed pattern removal circuit, and a switching means which answers the output which passed through this delay circuit, and allots a data signal to said data line a sampled part, respectively.

[Claim 4] Two or more pixel electrodes arranged in the shape of a matrix, and the active element connected to this pixel electrode, The substrate which is having steadily the gate line connected to the 1st electrode of this active element, and the data line connected to the 2nd electrode of said active element, In the liquid crystal display equipped with the liquid crystal layer pinched by the substrate of one of these between the substrate of another side by which opposite arrangement was carried out, and both substrates The scanning circuit which generates the Mth step of late-coming level switch driving pulse which has falling of the forerunner level switch driving pulse of eye said N stage and a standup in phase by making the forerunner level switch driving pulse of eye N stage or the forerunner level switch driving pulse of eye N stage and abbreviation equiphase into a control signal is prepared. The liquid crystal display characterized by making it a forerunner sampling [ / N stage ] and the late-coming sampling corresponding to the Mth step not lap while sampling the video signal by which sequential supply is carried out to said data line.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active matrix liquid crystal display which consists of active elements, such as a thin film transistor formed in the intersection of the gate line and data line which were arranged in the shape of a matrix, and a corresponding pixel electrode. It is related with the horizontal scanning circuit for carrying out distribution supply of the video signal by line sequential at a data line in more detail.

[0002]

[Description of the Prior Art] In order to make an understanding of this invention easy, the general equal circuit of an active matrix liquid crystal display is shown in drawing 8 as a background technique. This type of liquid crystal display is equipped with two or more gate lines or gate lines X1 which were arranged in parallel with X shaft orientations, X2, --, two or more data line or data lines Y1 and Y2 which were arranged in parallel with Y shaft orientations, and -- so that it may illustrate. An active element (TFT) T11, T12, T21, and T22, for example, thin film transistors, and -- are formed in the intersection of each gate line and the data line. Moreover, it corresponds and liquid crystal cells L11, L12, L21, and L22 and -- are also formed. Each gate electrode of TFT is connected to the gate line, the source electrode is connected to the data line, and the drain electrode is connected to the corresponding pixel electrode of a liquid crystal cell. In addition, each liquid crystal cell consists of liquid crystal pinched with the pixel electrode and the common electrode COM which counters.

[0003] Each data line Y1, Y2, and -- are connected to the common signal line SIG through the corresponding switching transistor S1, S2, and --, respectively. A video signal is supplied to this signal line SIG from the exterior. The horizontal scanning circuit is connected to the gate electrode of each switching transistor. This horizontal scanning circuit impresses the level switch driving pulse phi 1, phi 2, and -- to the gate electrode of a switching transistor one by one synchronizing with level clock signal HCLK inputted from the outside. On the other hand, the gate line X1, X2, and -- are connected to the vertical-scanning circuit which is not illustrated.

[0004] Next, actuation of the circuit shown in drawing 8 is explained briefly. If the vertical-scanning circuit which is not illustrated is driven, a gate line will be excited by line sequential and TFT will be chosen for every line. If a horizontal scanning circuit is driven and a switching transistor is operated by line sequential at this time, the video signal supplied to the signal line SIG will be sampled by each data line one by one. The sampled video signal is written in the liquid crystal cell which carries out sequential correspondence through TFT chosen for every line. Thus, the sampling data of a video signal will be written in the liquid crystal cell of point-sequential and each.

[0005]

[Problem(s) to be Solved by the Invention] Next, with reference to drawing 9, Object of the Invention is explained briefly. The horizontal scanning circuit shown in drawing 8 consists of shift registers etc., and outputs the level switch driving pulse phi 1, phi 2, and -- one by one. When it thinks on logical level, it is the pulse phi 1 of a forerunner. Late-coming pulse phi 2 It is designed by the appearance not lapping. However, since sagging etc. is in the standup and falling of a pulse in fact, the case where a jitter arises and it laps partially arises. That is, the adjoining pulse interferes mutually. It is dependent on the electrical property of each device in each stage of a shift register, and the amount of this jitter is the thing of a proper. Therefore, it is fixing and the duplication pattern between pulse trains is in the inclination for the jitter of a specific amount to always appear in the specific stage of a shift register.

[0006] To the appearance mentioned above, it is the forerunner pulse phi 1. Switching transistor S1 which

answers and corresponds The data line Y1 with which it flows and a video signal corresponds from the common signal line SIG It is sampled. Next, late-coming pulse phi 2 Switching transistor S2 which answers and corresponds The data line Y2 with which it flows and a video signal corresponds from the common signal line SIG It is sampled. At this time, when there is a jitter, it is the forerunner pulse phi 1. Before falling, it is the late-coming pulse phi 2. Since it starts, the shake of potential arises in a signal line SIG according to a charge and discharge current in the meantime. Since it is generated before a forerunner pulse falls, this potential shake is the data line Y1. It will be sampled and is the data line Y1 as a result. An error will arise in sampling data. Since it depends for this error on the amount of jitters, especially a jitter will always appear in a remarkable specific stage. When this is seen as the whole screen, it becomes the so-called vertical reinforcement, and it appears, and has the trouble of spoiling image quality remarkably. Generally, since [ that it is high and ] the impedance of a signal line of the output impedance of the video driver which outputs a video signal to a signal line SIG is also high, it is strongly influenced of the jitter of a level switch driving pulse, and its vertical reinforcement or fixed duplication pattern of an image is remarkable. Furthermore, in order to lower the clock frequency of a horizontal scanning circuit and to attain low-powerization, when the so-called RGB coincidence drive is performed, since the number of trains of a pixel decreases seemingly, there is a trouble that a vertical-reinforcement defect becomes much more remarkable. [0007] This invention aims at giving a fixed duplication pattern removal function to the horizontal scanning circuit built in an active matrix liquid crystal display, and improving the vertical-reinforcement defect of an image in view of the trouble of a Prior art mentioned above.

[0008]

[Means for Solving the Problem] The means provided in order to solve the technical problem of a Prior art mentioned above and to attain the purpose of this invention is as follows. Namely, two or more pixel electrodes arranged in the shape of a matrix and the active element connected to this pixel electrode, The substrate which is having steadily the gate line connected to the 1st electrode of this active element, and the data line connected to the 2nd electrode of said active element, In the liquid crystal display equipped with the liquid crystal layer pinched by the substrate of one of these between the substrate of another side by which opposite arrangement was carried out, and both substrates The forerunner level switch driving pulse of eye N stage or the forerunner level switch driving pulse of eye N stage and abbreviation equiphase is made into a control signal. A means to prepare the scanning circuit which generates the Mth step of late-coming level switch driving pulse which has falling of the forerunner level switch driving pulse of eye said N stage and a standup in phase was provided. This scanning circuit functions on the appearance with which a forerunner sampling [ / N stage ] and the late-coming sampling corresponding to the Mth step do not lap while sampling the video signal by which sequential supply is carried out to said data line.

[0009] It consists of fixed pattern removal circuits which control the output timing of the Mth step of late-coming level switch driving pulse which accepts a shift register for this horizontal scanning circuit to specifically carry out sequential generating of the level switch driving pulse signal from the output section, and the forerunner level switch driving pulse of eye N stage generated previously as a control signal, and has falling of the forerunner level switch driving pulse of eye this N stage, and a standup in phase. this fixed pattern removal circuit -- for example, the forerunner level switch driving pulse of eye N stage -- a control signal -- carrying out -- the second departure of eye a stage ( $M=N+1$ ) -- he is trying to control the output timing of a level switch driving pulse

[0010] The horizontal scanning circuit concerning this invention is widely [ not only a liquid crystal display but ] applicable to two dimensional address equipment. Two or more gate lines by which this two dimensional address equipment was arranged in parallel with X shaft orientations, Two or more data lines arranged in parallel with Y shaft orientations, and the 1st scan section which carries out line sequential supply of the gate signal at said gate line, In order to access the data signal which is chosen as said data line by the gate signal supplied from the 2nd scan section and said gate line which carries out line sequential supply of the data signal, and is supplied from said data line, it has the active element prepared in the intersection of said gate line and the data line, respectively. In the two dimensional address equipment which has this configuration said 2nd scan section The shift register for carrying out sequential generating of the level switch driving pulse signal, The fixed pattern removal circuit which controls the output timing of the Mth step of late-coming level switch driving pulse which accepts the forerunner level switch driving pulse of eye N stage generated previously as a control signal, and has falling of the forerunner level switch driving pulse of eye this N stage, and a standup in phase, It consists of a delay circuit which delays the output from this fixed pattern removal circuit, and a switching means which answers the output which passed through this delay circuit, and allots a data signal to said data line a sampled part, respectively.

[0011]

[Function] According to this invention, the horizontal scanning circuit has connected the fixed pattern removal circuit to the output stage of the shift register for carrying out sequential generating of the level switch driving pulse signal. This fixed pattern removal circuit is controlling the output timing of the Mth step of late-coming level switch driving pulse which accepts the forerunner level switch driving pulse of eye N stage generated previously as a control signal, and has falling of this forerunner level switch driving pulse, and a standup in phase. The output of a late-coming pulse is forbidden during the output of a forerunner pulse, and after a forerunner pulse falls, he is trying for a late-coming pulse to start certainly, if it puts in another way. Furthermore, the late-coming pulse outputted from the fixed pattern removal circuit is supplied to the video-signal sampling switch to which predetermined delay was able to be applied and which back-corresponds. Consequently, since a forerunner sampling [ of a shift register / N stage ] and the late-coming sampling corresponding to the Mth step will not surely lap, a vertical reinforcement or a fixed duplication pattern is removable. In this invention, in order to control the output timing of a late-coming pulse, the forerunner pulse is used. So, the addition of a circuit or the addition of the source of a clock which have a complicated configuration especially are not required.

[0012]

[Example] With reference to a drawing, the suitable example of this invention is explained to a detail below. Drawing 1 is the typical circuit block diagram showing an example which applied this invention to the active matrix liquid crystal indicating equipment. In addition, generally this invention is widely applicable to two dimensional address equipment not only in this 2-dimensional display.

[0013] This equipment has two or more gate lines X1 arranged in parallel with X shaft orientations, X2, --, two or more data lines Yn arranged in parallel with Y shaft orientations, Yn+1, Yn+2 and -- so that it may illustrate. Furthermore, these gates track group is equipped with the 1st scan section which carries out line sequential supply of the gate signal or the vertical-scanning section, the 2nd scan section which carries out line sequential supply of the video signal at these data-lines group, or the horizontal scanning section.

[0014] each intersection of a gate track group and a data-line group -- respectively -- an active element (TFT) T1 and n, for example, thin film transistors, T1, n+1, T1, n+2, T2 and n, T2, n+1, T2, and n+2 It is prepared. The corresponding liquid crystal cells L1 and n, L1, n+1, L1, n+2, L2 and n, L2, n+1, L2, n+2, and -- are connected to each TFT. Each liquid crystal cell consists of a pixel electrode, a common electrode which counters, and a liquid crystal layer pinched between two electrodes. Each drain electrode of TFT is connected to the pixel electrode, the gate electrode is connected to the corresponding gate line, and the source electrode is connected to the corresponding data line. Each TFT accesses the video signal which is chosen for every line by the gate signal supplied from a gate line, and is supplied from the data line by point sequential, and writes it in a corresponding liquid crystal cell.

[0015] In addition, although not illustrated, on one substrate, two or more pixel electrodes arranged in the shape of a matrix, a TFT group, a gate track group, a data-line group, the vertical-scanning section, and the horizontal scanning section use a semi-conductor process, and are formed. Moreover, the common electrode is formed in the substrate of another side. An active matrix liquid crystal display can be obtained by pinching a superposition liquid crystal layer for both substrates through a predetermined gap.

[0016] With reference to drawing 1, the circuitry of the horizontal scanning section which makes the important section of this invention is succeedingly explained to a detail. The horizontal scanning section is equipped with shift register S/R. This shift register makes multistage connection of the flip-flop (D-FF) of D mold, since it is simple, cuts off eye N stage thru/or the N+2nd step, and has shown it. The NAND element is connected to each stage output section of a shift register. When correspondence with each stage of a shift register is shown especially, a suffix will be given to a reference mark NAND. For example, the NAND element connected to the output terminal of eye N stage is NANDn. It expresses. A suffix will be used when the regulation same about other components, signal pulses, etc. of a class needs to show correspondence relation with a shift register stage hereafter. From each NAND element, level switch driving pulse B is outputted one by one. Since the jitter is contained and the fixed duplication pattern is not removed, this pulse is called the primary pulse B below.

[0017] The NOR element is connected to the output terminal of a NAND element. This NOR-element group constitutes a fixed pattern removal circuit. The delay element DLY is connected to the output terminal of each NOR element. These delay element group constitutes a delay circuit. Level switch driving pulse phi to which the jitter was removed by the output terminal of a delay circuit, and predetermined delay processing was performed is outputted. Hereafter, the pulse to which this processing was performed is called the secondary pulse phi. In fact, the outputs of a delay element DLY are the secondary pulse phi and its reversal

pulse. The transmission gate component S is connected to the output terminal of the pair of a delay element. These transmission gate elements constitute a switching means. The output terminal is connected to corresponding data-line Y while connection of the input terminal of each transmission gate component is carried out common to the signal line SIG which supplies a video signal. It restricts to the period when the secondary pulse phi is impressed, a transmission gate component flows, and a sampling transfer is carried out at data-line Y in which a video signal carries out sequential correspondence.

[0018] While the primary pulse B is supplied to the appearance mentioned above in one side of the input terminal of each NOR element which constitutes a fixed pattern removal circuit, the secondary pulse phi is inputted into the input terminal of another side. This NOR element controls the output timing of the late-coming primary pulse B which accepts the secondary pulse phi of a forerunner as a control signal, and has falling of this forerunner secondary pulse, and a standup in phase. In this example, the standup timing of the primary pulse B corresponding to the next step is regulated based on the secondary pulse phi corresponding to the preceding paragraph. For example,  $NOR_n [ / N \text{ stage } ] \phi_{in-1}$  It is based and is  $B_n$ . The gate control is carried out.

[0019] Moreover, each delay element DLY which constitutes a delay circuit consists of an inverter by which the series connection was carried out in this example. The desired amount of delay is obtained by setting up the connection number of an inverter suitably. In addition, predetermined delay arises also in a NOR element. Therefore, the amount of delay as the whole circuit totals a part for a part for a NOR element, and a delay element DLY.

[0020] Next, the actuation of the horizontal scanning section shown in drawing 1 with reference to drawing 2 and drawing 3 is explained to a detail. Based on the timing chart of drawing 2, the output of the primary pulse B by shift register S/R is explained to the beginning. In D-FF of eye N stage of shift register S/R, it is data pulse  $D_{n-1}$  from the preceding paragraph. It is transmitted. Moreover, the level clock signal HCK1 and its reversal signal HCK2 are supplied to each stage of a shift register. In this example, the width of face of the data pulse D is set as a part for a round term of a clock signal. Data pulse  $D_{n-1}$  from the preceding paragraph inputted into eye N stage of a shift register It is delayed by the half period of a clock by the inverter pair, and is reversed. It is  $A_n$  about the wave of the pulse which received this processing. It is shown by carrying out. This pulse  $A_n$  It is reversed with still more nearly another inverter and is the data pulse  $D_n$  of eye N stage. It is obtained. It is the data pulse  $D_n$  so that clearly from a timing chart. Data pulse  $D_{n-1}$  of the preceding paragraph It compared and has shifted by the half period of a clock. Thus, shift register S/R carries out the sequential output of the data pulse  $D_n$  shifted by the half period of a clock,  $D_{n+1}$ ,  $D_{n+2}$ , and --.

[0021] The NAND element is connected to each stage output terminal of a shift register. For example,  $NAND_n$  connected to eye N stage Data pulse  $D_n$  of this stage Data pulse  $D_{n+1}$  of the next step Not-and processing is performed and it is primary PASURU  $B_n$ . It outputs.  $NAND_{n+1}$  which similarly was connected to the  $N+1$ st step of output terminal The following primary pulse  $B_{n+1}$  It outputs. thus -- while the primary pulse B by which the sequential output was carried out has the width of face equivalent to a part for the half period of a clock -- the -- it has shifted pulse width every. Shortly after putting in another way, after the primary pulse of the preceding paragraph is outputted, the primary pulse of the next step is outputted. Although the primary pulse by which a sequential output is carried out does not lap on logical level, since sagging is in the standup and falling of a pulse in fact, the case where a jitter arises and it overlaps mutually arises.

[0022] Then, generation actuation of the secondary pulse phi is explained with reference to the timing chart of drawing 3.  $NAND_n$  of eye N stage \*\*\*\* --  $NOR_n$  which was mentioned above and which constitutes a fixed pattern removal circuit like It connects. This  $NOR_n$  Primary pulse  $B_n$  of eye N stage Secondary pulse  $\phi_{in-1}$  of the preceding paragraph NOR processing is performed and it is Pulse  $C_n$ . It outputs. It is this pulse  $C_n$  so that clearly from the timing chart of drawing 3. Secondary pulse  $\phi_{in-1}$  of the preceding paragraph It starts synchronizing with falling. therefore, primary pulse  $B_n$  of eye N stage Pulse  $C_n$  which corresponds even if the jitter is contained from -- this jitter is removed. This pulse  $C_n$  Delay element  $DLY_n$  It minds, only the specified quantity is delayed and it is final secondary pulse  $\phi_{in}$ . It is outputted. Thus, a fixed pattern removal circuit controls the output timing of a late-coming secondary pulse which accepts the secondary pulse of a forerunner as a control signal, and has falling of this forerunner secondary pulse, and a standup in phase, and removes a fixed duplication pattern. Secondary pulse  $\phi_{in-1}$  by which such processing was performed and the sequential output was carried out,  $\phi_{in}$ ,  $\phi_{in+1}$ , and -- can remove the vertical-reinforcement defect of the display image which did not overlap mutually and had become a problem conventionally.

[0023] Drawing 4 expresses the example of a complete-change form of the circuit shown in drawing 1, especially in order to make an understanding easy, cuts off only eye N stage of the horizontal scanning section, and has shown it. The same reference mark is attached about the same part as the component shown in drawing 1. A different point is that the fixed pattern removal circuit consists of combination of Inverter I and a NAND element. The fixed pattern removal circuit which has this configuration has the same function as the fixed pattern removal circuit (NORn) shown in drawing 1.

[0024] With reference to drawing 5, other examples of the horizontal scanning section concerning this invention are explained. In order to make an understanding easy, the same reference mark is attached about the same component as the horizontal scanning section shown in drawing 1 R> 1. A different point from the example shown in drawing 1 is that the NAND element connected to each stage output terminal of shift register S/R is removed. Therefore, the data pulse D outputted from each stage of a shift register in this example is inputted into the NOR element which corresponds directly. In relation to this, not the secondary pulse phi from the preceding paragraph but the secondary pulse phi from a beforehand stage is inputted into other input terminals of each NOR element as a control signal.

[0025] Next, actuation of the horizontal scanning circuit shown in drawing 5 with reference to drawing 6 is explained. Shift register S/R carries out the direct sequential output of the data pulse D which has the width of face equivalent to a part for a round term of a clock signal HCK mentioned above like. Each data pulse is shifted to half period [ every ] each other of a clock signal. A data pulse is divided into two groups in this example. In one group, the group of another side contains data pulse Dn+1 of an odd level eye, Dn+3, Dn+5, and -- including the data pulse Dn of an even level eye, Dn+2, Dn+4, and --. An even level group's data pulse and an odd level group's data pulse are used in order to sample the video signal supplied from a respectively different signal line. There is \*\*\*\* which pulse interference produces by the jitter in the same group. For this reason, by this example, the secondary pulse standup timing of the stage concerned is regulated by making not the secondary pulse of the direct preceding paragraph but the secondary pulse of a beforehand stage into a control signal. thus, second departure as this invention regulates the output timing of the specific late-coming pulse which generally has the possibility of pulse interference by making the pulse of a forerunner into a control signal and showed the specific late-coming pulse to drawing 1 -- it is not restricted to a pulse.

[0026] Thus, the situation which sets between and controls pulse generating timing appears, also when shown in drawing 7. In this example, the width of face of the data pulse D transmitted within a shift register is set up for a long time, and is equivalent to two periods of a clock signal HCK. Even in this case, a shift register carries out the sequential output of the data pulse Dn to which the clock signal was half-period [ every ]-shifted mutually, Dn+1, Dn+2, Dn+3, Dn+4, Dn+5, and --. Pulse interference or bit interference is produced every three steps so that clearly from the timing chart of drawing 7. For example, forerunner data pulse Dn Falling timing and late-coming data pulse Dn+4 Since there is standup timing in phase, \*\*\*\* which bit interference produces is among both. Therefore, the generating timing of the level switch driving pulse of the stage concerned will be regulated in this case by making the level switch driving pulse of four steps ago into a control signal.

[0027]

[Effect of the Invention] According to this invention, it is [ like ] effective in the vertical-reinforcement defect of a display image being removable by [ which were explained above ] preparing a fixed pattern removal circuit in a horizontal scanning circuit. Moreover, it has strong structure also to dispersion in the electrical property of each stage device while its circuitry is comparatively simple, since the fixed pattern removal circuit is controlling the output timing of a late-coming pulse using a forerunner pulse. Especially the horizontal scanning circuit with this fixed duplication pattern removal function can do remarkable effectiveness so, when it applies to the active matrix liquid crystal display which adopts a RGB coincidence drive method.

---

[Translation done.]

**\* NOTICES \***

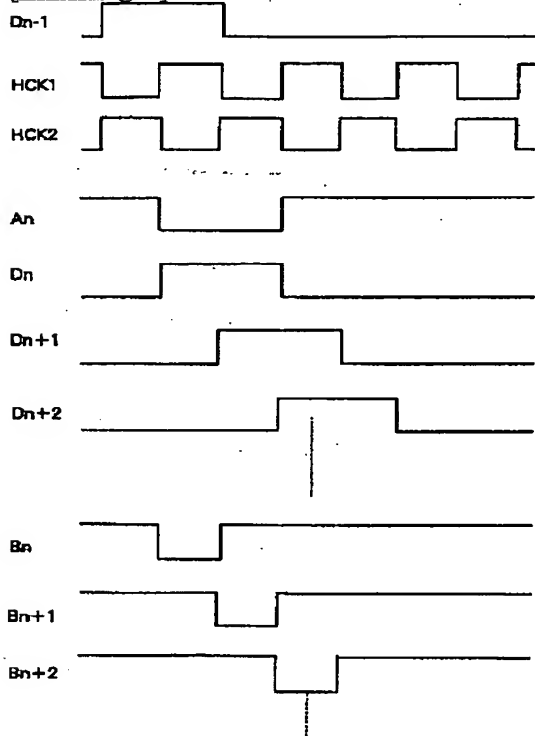
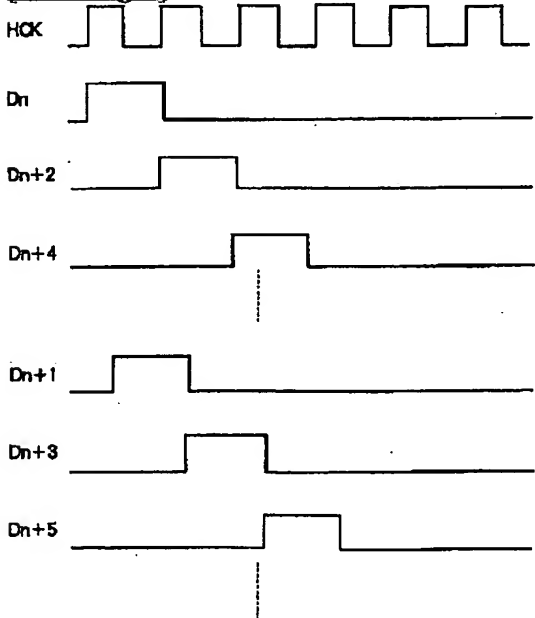
JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

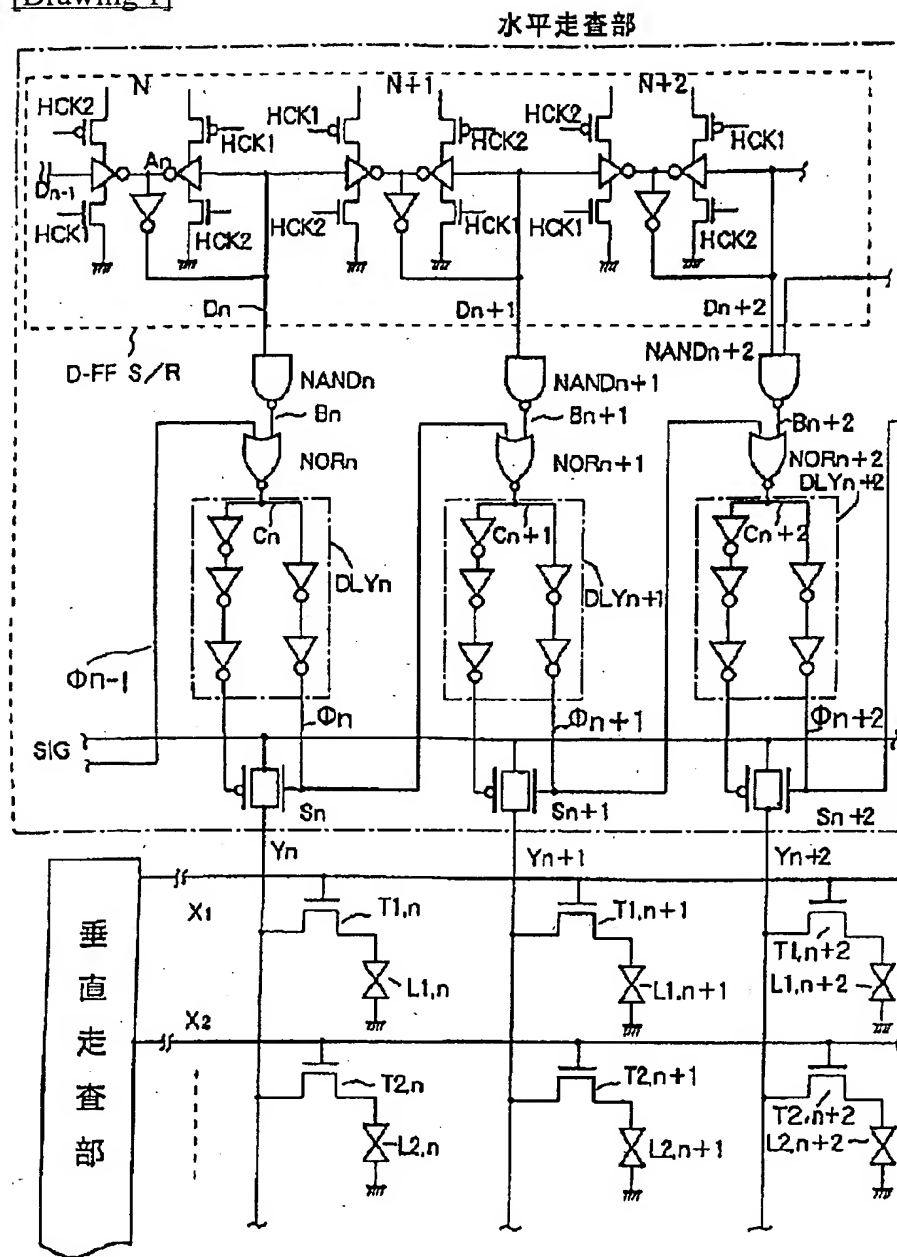
---

**DRAWINGS**

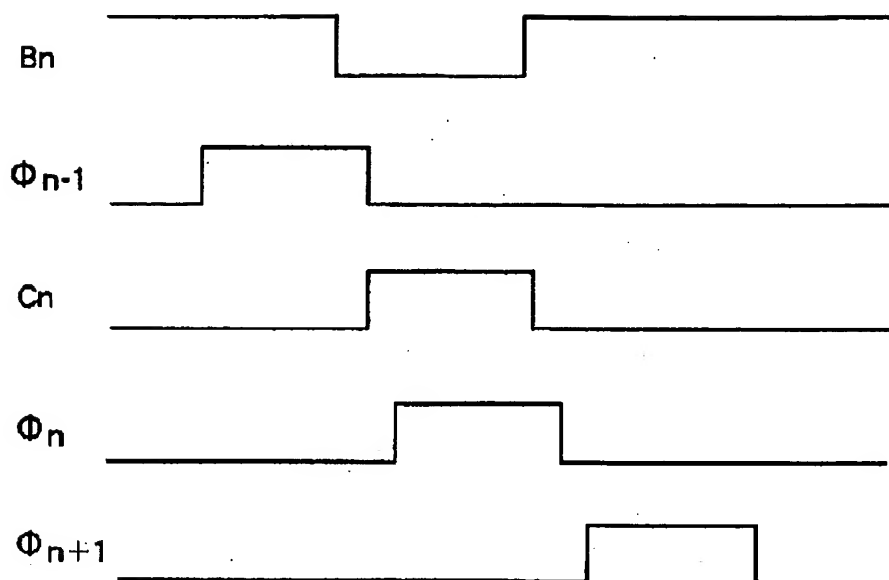
---

[Drawing 2][Drawing 6]

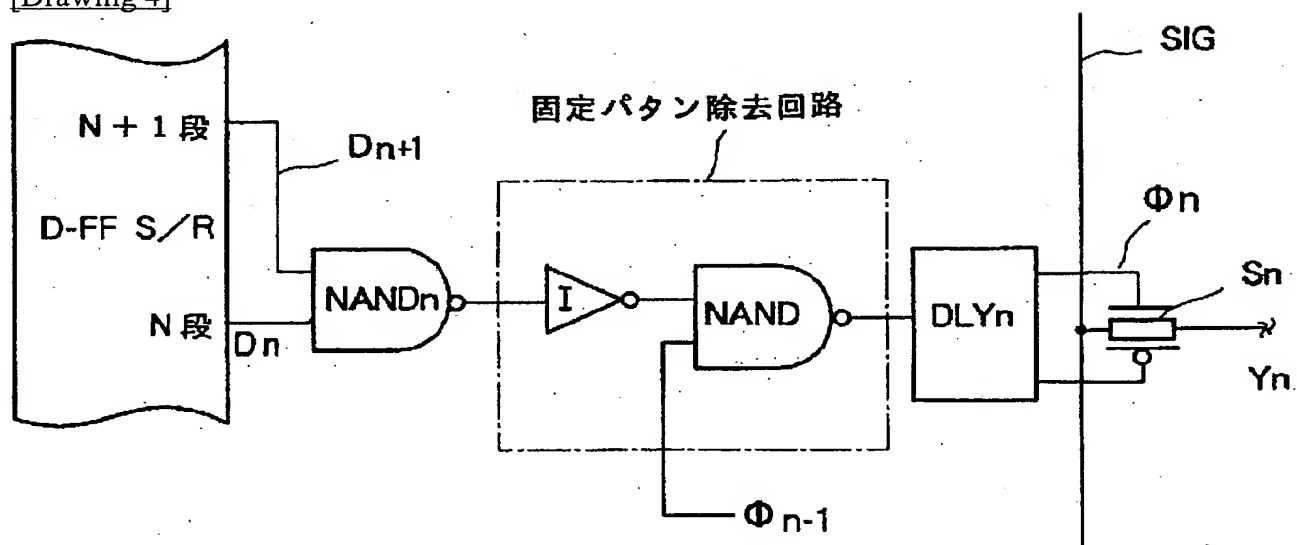
[Drawing 1]



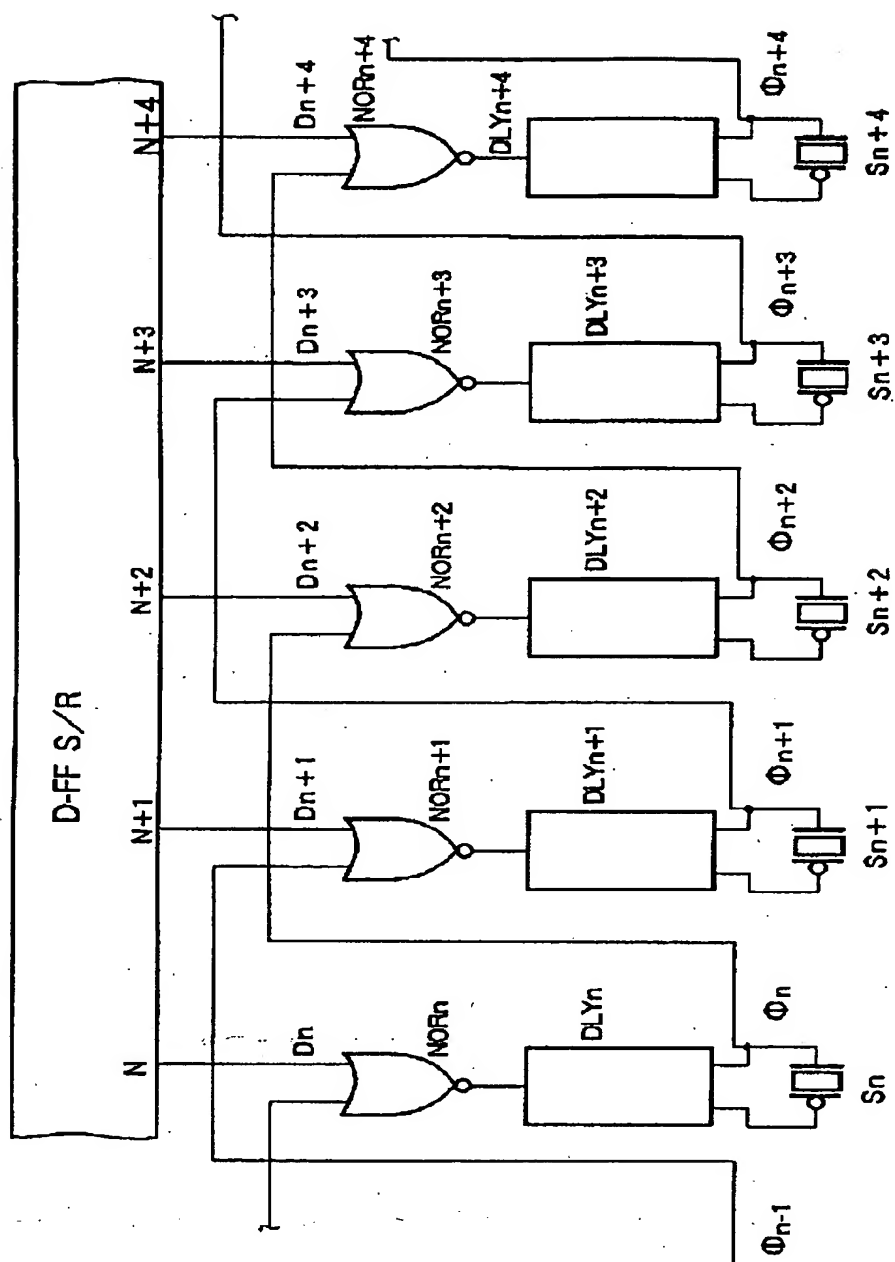
[Drawing 3]



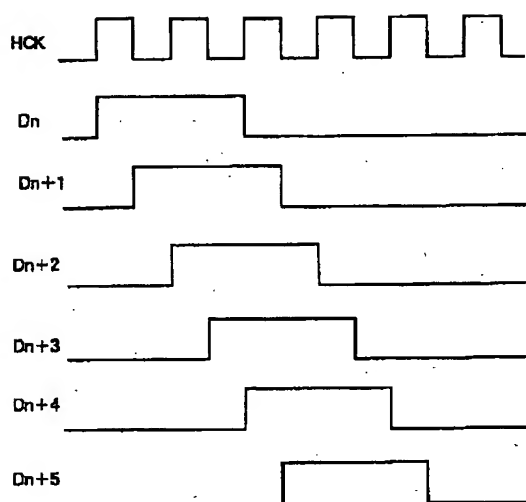
[Drawing 4]



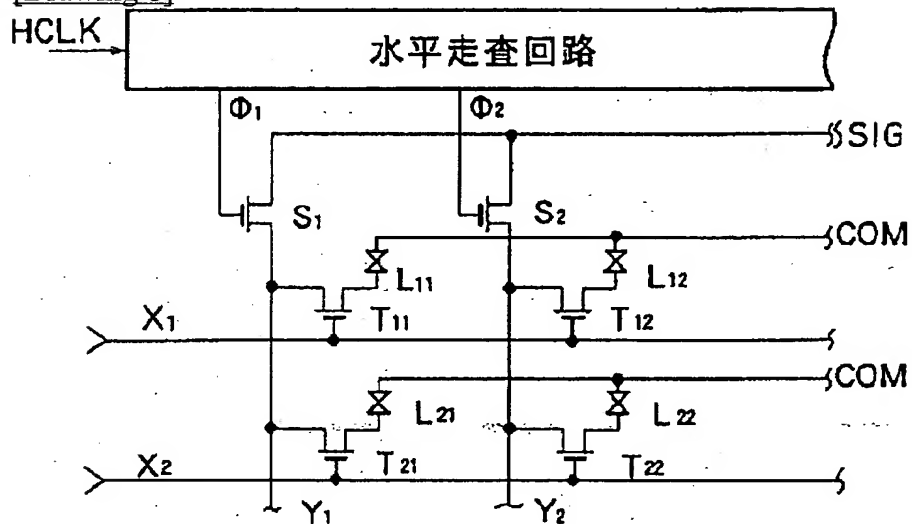
[Drawing 5]



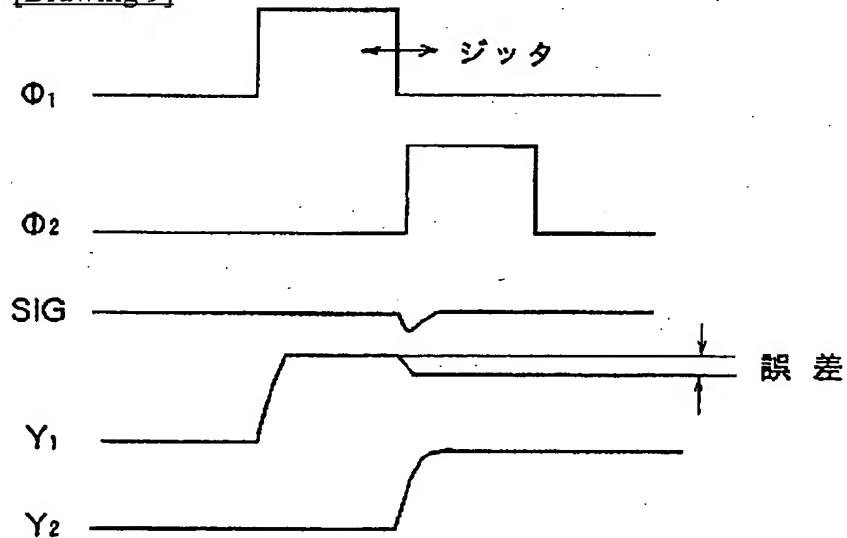
[Drawing 7]



[Drawing 8]



[Drawing 9]



---

[Translation done.]

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-216441

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 5 0	7820-2K		
H 0 4 N 5/66	1 0 2 B	9068-5C		

審査請求 未請求 請求項の数4(全10頁)

(21)出願番号 特願平4-42084

(22)出願日 平成4年(1992)1月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

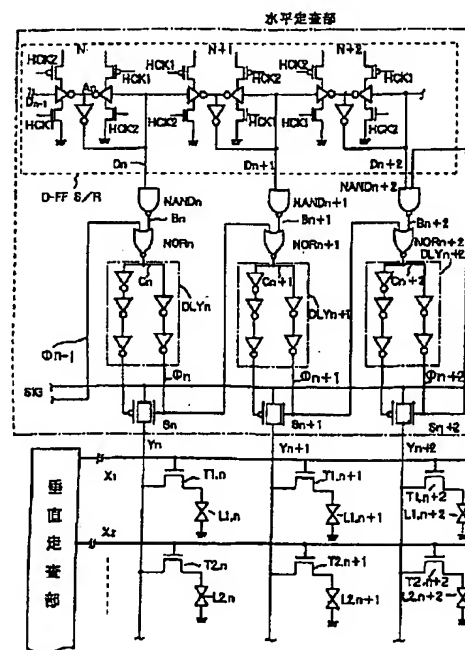
(74)代理人 弁理士 高橋 光男

(54)【発明の名称】 固定重複ボタン除去機能付水平走査回路

(57)【要約】

【目的】 アクティブマトリクス型液晶表示装置の水平走査回路を改善して表示画像の縦筋欠陥を除去する。

【構成】 アクティブマトリクス型液晶表示装置の水平走査回路は水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタS/Rを備えている。さらに、固定ボタン除去回路(NOR)が接続されており、シフトレジスタS/Rから先に発生した先発パルスを制御信号として受け入れ且つこの先発パルスの立ち下がりと同位相の立ち上がりを有する後発パルスの出力タイミングを規制する。これにより水平スイッチ駆動パルス信号に含まれるパルス間の干渉が取り除かれる。



## 【特許請求の範囲】

【請求項1】 出力部から水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタと、先に発生したN段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこのN段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有するM段目の後発水平スイッチ駆動パルスの出力タイミングを制御する固定ボタン除去回路とを備えた事を特徴とする水平走査回路。

【請求項2】 該固定ボタン除去回路はN段目の先発水平スイッチ駆動パルスを制御信号として(M=N+1)段目の次発水平スイッチ駆動パルスの出力タイミングを制御する事を特徴とする請求項1記載の水平走査回路。

【請求項3】 X軸方向に平行に配列された複数のゲート線と、Y軸方向に平行に配列された複数のデータ線と、前記ゲート線にゲート信号を線順次供給する第1の走査部と、前記データ線にデータ信号を線順次供給する第2の走査部と、前記ゲート線から供給されるゲート信号によって選択され且つ前記データ線から供給されるデータ信号をアクセスする為に前記ゲート線及びデータ線の交点に夫々設けられた能動素子とを有する二次元アドレス装置において、

前記第2の走査部が、水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタと、先に発生したN段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこのN段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有するM段目の後発水平スイッチ駆動パルスの出力タイミングを制御する固定ボタン除去回路と、この固定ボタン除去回路からの出力を遅延させる遅延回路と、この遅延回路を通過した出力に

応答して前記データ線に夫々データ信号をサンプリング分配するスイッチ手段とから構成された事を特徴とする二次元アドレス装置。

【請求項4】 マトリクス状に配列された複数の画素電極と、この画素電極に接続された能動素子と、この能動素子の第1の電極に接続されたゲート線と、前記能動素子の第2の電極に接続されたデータ線とを有する一方の基板と、この一方の基板に対向配置された他方の基板と、両方の基板間に挟持された液晶層とを備えた液晶表示装置において、N段目の先発水平スイッチ駆動パルスあるいはN段目と略同位相の先発水平スイッチ駆動パルスを制御信号として前記N段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有するM段目の後発水平スイッチ駆動パルスを生成する走査回路を設け、前記データ線に順次供給される映像信号のサンプリングを行なうとともに、N段目に対応する先発サンプリングとM段目に対応する後発サンプリングが重ならない様にした事を特徴とする液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマトリクス状に配列されたゲートラインとデータラインとの交点に形成された薄膜トランジスタ等の能動素子と、対応する画素電極とから構成されるアクティブマトリクス型液晶表示装置に関する。より詳しくは、映像信号を線順次でデータラインに分配供給する為の水平走査回路に関する。

【0002】

【従来の技術】本発明の理解を容易にする為に背景技術として図8にアクティブマトリクス型液晶表示装置の一般的な等価回路を示す。図示する様に、この型の液晶表示装置はX軸方向に平行に配列された複数のゲートラインあるいはゲート線 $X_1, X_2, \dots$ と、Y軸方向に平行に配列された複数のデータラインあるいはデータ線 $Y_1, Y_2, \dots$ とを備えている。各ゲート線とデータ線との交点には能動素子例えば薄膜トランジスタ(TFT)  $T_{11}, T_{12}, T_{21}, T_{22}, \dots$ が形成されている。又対応して、液晶セル $L_{11}, L_{12}, L_{21}, L_{22}, \dots$ も形成されている。各TFTのゲート電極はゲート線に接続されており、ソース電極はデータ線に接続されており、ドレイン電極は対応する液晶セルの画素電極に接続されている。なお、個々の液晶セルは画素電極及び対向する共通電極COMによって挟持された液晶から構成されている。

【0003】各データ線 $Y_1, Y_2, \dots$ は夫々対応するスイッチングトランジスタ $S_1, S_2, \dots$ を介して共通の信号線SIGに接続されている。この信号線SIGには外部から映像信号が供給される。各スイッチングトランジスタのゲート電極には水平走査回路が接続されている。この水平走査回路は外部から入力される水平クロック信号HCLKに同期して順次水平スイッチ駆動パルス $\Phi_1, \Phi_2, \dots$ をスイッチングトランジスタのゲート電極に印加する。一方、ゲート線 $X_1, X_2, \dots$ は図示しない垂直走査回路に接続されている。

【0004】次に、図8に示す回路の動作を簡潔に説明する。図示しない垂直走査回路を駆動するとゲート線が線順次で励起され行毎にTFTが選択される。この時、水平走査回路を駆動しスイッチングトランジスタを線順次で動作させると、信号線SIGに供給された映像信号が順次各データ線にサンプリングされる。サンプリングされた映像信号は行毎に選択されたTFTを介して順次対応する液晶セルに書き込まれる。この様にして、映像信号のサンプリングデータは点順次で個々の液晶セルに書き込まれる事になる。

【0005】

【発明が解決しようとする課題】次に、図9を参照して発明が解決しようとする課題を簡潔に説明する。図8に示す水平走査回路はシフトレジスタ等から構成されており、順次水平スイッチ駆動パルス $\Phi_1, \Phi_2, \dots$ を出力する。論理的なレベルで考えると、先発のパルス $\Phi_1$ と後発のパルス $\Phi_2$ とは重ならない様に設計されている。

しかしながら、実際にはパルスの立ち上がりや立ち下がりにダレ等がある為ジッタが生じ部分的に重なってしまう場合が生じる。即ち、隣接するパルスが互いに干渉する。このジッタの量はシフトレジスタの各段における個々のデバイスの電気特性に依存しており固有のものである。従って、パルス列間における重複ボタンは固定しており、シフトレジスタの特定の段には常に特定の量のジッタが現われる傾向にある。

【0006】前述した様に、先発パルス $\Phi_1$ にตอบสนองして対応するスイッチングトランジスタ $S_1$ が導通し共通の信号線 $SIG$ から映像信号が対応するデータ線 $Y$ にサンプリングされる。次に、後発パルス $\Phi_2$ にตอบสนองして対応するスイッチングトランジスタ $S_2$ が導通し共通の信号線 $SIG$ から映像信号が対応するデータ線 $Y$ にサンプリングされる。この時、ジッタがあると先発パルス $\Phi_1$ が立ち下がらない内に後発パルス $\Phi_2$ が立ち上がるので、その間の充放電電流によって信号線 $SIG$ に電位の揺れが生じる。この電位揺れは先発パルスが立ち下がらない内に生じるので、データ線 $Y$ にサンプリングされてしまい、結果的にデータ線 $Y$ のサンプリングデータに誤差が生じてしまう。この誤差はジッタ量に依存しているので、特にジッタが著しい特定の段に常に現われる事になる。これは画面全体として見ると所謂縦筋となって現われ画像品質を著しく損なうという問題点がある。一般に、信号線 $SIG$ に映像信号を出力するビデオドライバの出力インピーダンスは高く、且つ信号線のインピーダンスも高い為、水平スイッチ駆動パルスのジッタの影響を強く受け、画像の縦筋あるいは固定重複ボタンが顕著である。さらに、水平走査回路のクロック周波数を下げ低消費電力化を図る為、所謂RGB同時駆動を行なうと、見掛け上画素の列数が少なくなる為縦筋欠陥が一層顕著になるという問題点がある。

【0007】上述した従来の技術の問題点に鑑み、本発明はアクティブマトリクス型液晶表示装置に内蔵される水平走査回路に固定重複ボタン除去機能を付与し画像の縦筋欠陥を改善する事を目的とする。

【0008】

【課題を解決するための手段】上述した従来の技術の課題を解決し且つ本発明の目的を達成する為に講じられた手段は以下の通りである。即ち、マトリクス状に配列された複数の画素電極と、この画素電極に接続された能動素子と、この能動素子の第1の電極に接続されたゲート線と、前記能動素子の第2の電極に接続されたデータ線とを有する一方の基板と、この一方の基板に対向配置された他方の基板と、両方の基板間に挟持された液晶層とを備えた液晶表示装置において、N段目の先発水平スイッチ駆動パルスあるいはN段目と略同位相の先発水平スイッチ駆動パルスを制御信号として前記N段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上

する走査回路を設けるという手段を講じた。この走査回路は、前記データ線に順次供給される映像信号のサンプリングを行なうとともに、N段目に対応する先発サンプリングとM段目に対応する後発サンプリングが重ならない様に機能する。

【0009】具体的には、この水平走査回路は出力部から水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタと、先に発生したN段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこのN段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有するM段目の後発水平スイッチ駆動パルスの出力タイミングを制御する固定ボタン除去回路とから構成されている。この固定ボタン除去回路は、例えばN段目の先発水平スイッチ駆動パルスを制御信号として( $M=N+1$ )段目の次発水平スイッチ駆動パルスの出力タイミングを制御する様にしている。

【0010】本発明にかかる水平走査回路は液晶表示装置ばかりでなく、広く二次元アドレス装置に適用可能である。この二次元アドレス装置は、X軸方向に平行に配列された複数のゲート線と、Y軸方向に平行に配列された複数のデータ線と、前記ゲート線にゲート信号を線順次供給する第1の走査部と、前記データ線にデータ信号を線順次供給する第2の走査部と、前記ゲート線から供給されるゲート信号によって選択され且つ前記データ線から供給されるデータ信号をアクセスする為に前記ゲート線及びデータ線の交点に夫々設けられた能動素子とを有する。かかる構成を有する二次元アドレス装置において、前記第2の走査部は、水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタと、先に発生したN段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこのN段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有するM段目の後発水平スイッチ駆動パルスの出力タイミングを制御する固定ボタン除去回路と、この固定ボタン除去回路からの出力を遅延させる遅延回路と、この遅延回路を通過した出力にตอบสนองして前記データ線に夫々データ信号をサンプリング分配するスイッチ手段とから構成されている。

【0011】

【作用】本発明によれば、水平走査回路は水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタの出力段に固定ボタン除去回路を接続している。この固定ボタン除去回路は、先に発生したN段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこの先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有するM段目の後発水平スイッチ駆動パルスの出力タイミングを制御している。換言すると、先発パルスの出力中には後発パルスの出力を禁止し、先発パルスが立ち下がった後確実に後発パルスが立ち上がる様にしている。さらに、固定ボタン除去回路から出力された後発パルスは所定の遅延をかけられた後対応する映像信号サン

5

プリングスイッチに供給される。この結果、シフトレジスタのN段目に対応する先発サンプリングとM段目に対応する後発サンプリングが必ず重ならない事になるので、縦筋あるいは固定重複ボタンが除去できる。この発明においては、後発パルスの出力タイミングを制御する為に先発パルスを用いている。それ故、特に複雑な構成を有する回路の追加やクロック源の追加を要しない。

【0012】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明をアクティブマトリクス型液晶表示装置に適用した一例を示す模式的な回路ブロック図である。なお、本発明はかかる二次元表示装置ばかりでなく、広く一般に二次元アドレス装置に適用可能なものである。

【0013】図示する様に、本装置は、X軸方向に平行に配列された複数のゲート線 $X_1, X_2, \dots$ と、Y軸方向に平行に配列された複数のデータ線 $Y_1, Y_{n+1}, Y_{n+2}, \dots$ とを有している。さらに、これらゲート線群にゲート信号を線順次供給する第1の走査部あるいは垂直走査部と、これらデータ線群に映像信号を線順次供給する第2の走査部あるいは水平走査部とを備えている。

【0014】ゲート線群及びデータ線群の各交点には夫々能動素子例えば薄膜トランジスタ(TFT)  $T_{1,n}, T_{1,n+1}, T_{1,n+2}, T_{2,n}, T_{2,n+1}, T_{2,n+2}$  が設けられている。個々のTFTには対応する液晶セル $L_{1,n}, L_{1,n+1}, L_{1,n+2}, L_{2,n}, L_{2,n+1}, L_{2,n+2}, \dots$  が接続されている。個々の液晶セルは画素電極、対向する共通電極、及び両電極の間に挟持された液晶層とから構成されている。各TFTのドレイン電極は画素電極に接続されており、ゲート電極は対応するゲート線に接続されており、ソース電極は対応するデータ線に接続されている。各TFTはゲート線から供給されるゲート信号によって行毎に選択され且つ、データ線から供給される映像信号を点順次でアクセスし、対応する液晶セルに書き込む。

【0015】なお、図示しないが、マトリクス状に配列された複数の画素電極と、TFT群と、ゲート線群と、データ線群と、垂直走査部と、水平走査部とは一方の基板上に半導体プロセスを用いて形成されている。又、共通電極は他方の基板に形成されている。両基板を所定の間隙を介して重ね合わせ液晶層を挟持する事によりアクティブマトリクス型液晶表示装置を得る事ができる。

【0016】引き続き図1を参照して、本発明の要部をなす水平走査部の回路構成を詳細に説明する。水平走査部はシフトレジスタS/Rを備えている。このシフトレジスタはD型のフリップフロップ(D-FF)を多段接続したものであって、簡便の為N段目ないしN+2段目のみを切り取って示してある。シフトレジスタの各段出力部にはNAND素子が接続されている。特に、シフトレジスタの各段との対応を示す場合には参照符号NAN

6

Dにサフィックスを付す事にする。例えば、N段目の出力端子に接続されているNAND素子はNAND<sub>N</sub>で表わす。以下、他の種類の素子及び信号パルス等についても同様の規則によりシフトレジスタ段との対応関係を示す必要がある場合にはサフィックスを用いる事にする。各NAND素子からは順次水平スイッチ駆動パルスBが出力される。このパルスはジッタが含まれており固定重複ボタンが除去されていないので以下一次パルスBと称する。

【0017】NAND素子の出力端子にはNOR素子が接続されている。このNOR素子群が固定ボタン除去回路を構成する。各NOR素子の出力端子には遅延素子DLYが接続されている。これら遅延素子群が遅延回路を構成する。遅延回路の出力端子にはジッタが除去され且つ所定の遅延処理を施された水平スイッチ駆動パルスΦが出力される。以下、かかる処理を施されたパルスを二次パルスΦと称する。実際には、遅延素子DLYの出力は二次パルスΦとその反転パルスである。遅延素子の一对の出力端子にはトランスミッションゲート素子Sが接続されている。これらトランスミッションゲート素子群がスイッチ手段を構成する。各トランスミッションゲート素子の入力端子は映像信号を供給する信号線SIGに共通に結線されているとともに、出力端子は対応するデータ線Yに接続されている。二次パルスΦが印加されている期間に限りトランスミッションゲート素子が導通し、映像信号が順次対応するデータ線Yにサンプリング転送される。

【0018】固定ボタン除去回路を構成する個々のNOR素子の入力端子の一方には前述した様に一次パルスBが供給されるとともに、他方の入力端子には二次パルスΦが入力される。このNOR素子は先発の二次パルスΦを制御信号として受け入れ且つこの先発二次パルスの立ち上がりと同位相の立ち上りを有する後発一次パルスBの出力タイミングを制御するものである。本例においては、前段に対応する二次パルスΦに基き次段に対応する一次パルスBの立ち上がりタイミングを規制している。例えば、N段目に対応するNOR<sub>N</sub>はΦ<sub>n-1</sub>に基きB<sub>N</sub>をゲート制御している。

【0019】又、遅延回路を構成する個々の遅延素子DLYは、本例においては直列接続されたインバータからなる。インバータの接続個数を適宜設定する事により所望の遅延量が得られる。なお、NOR素子にも所定の遅延が生じる。従って、回路全体としての遅延量はNOR素子分と遅延素子DLY分とを合計したものである。

【0020】次に図2及び図3を参照して図1に示す水平走査部の動作を詳細に説明する。最初に、図2のタイミングチャートに基きシフトレジスタS/Rによる一次パルスBの出力について説明する。シフトレジスタS/RのN段目のD-FFには前段からデータパルスD<sub>n-1</sub>が転送されてくる。又、シフトレジスタの各段には水平

クロック信号HCK1とその反転信号HCK2とが供給されている。この例では、データバルスDの幅はクロック信号の一周期分に設定されている。シフトレジスタのN段目に入力された前段からのデータバルス $D_{n-1}$ はインバータ対によってクロックの半周期分だけ遅延され且つ反転される。この処理を受けたバルスの波形を $A_n$ として示す。このバルス $A_n$ はさらに別のインバータにより反転されN段目のデータバルス $D_n$ が得られる。タイミングチャートから明らかな様に、データバルス $D_n$ は前段のデータバルス $D_{n-1}$ に比べてクロックの半周期分だけシフトしている。この様に、シフトレジスタS/Rはクロックの半周期分だけシフトしたデータバルス $D_n, D_{n+1}, D_{n+2}, \dots$ を順次出力する。

【0021】シフトレジスタの各段出力端子にはNAND素子が接続されている。例えば、N段目に接続されたNAND<sub>n</sub>はこの段のデータバルス $D_n$ と次段のデータバルス $D_{n+1}$ とのナンド処理を行ない一次バルス $B_n$ を出力する。同様に、N+1段目の出力端子に接続されたNAND<sub>n+1</sub>は次の一次バルス $B_{n+1}$ を出力する。この様に、順次出力された一次バルス $B$ はクロックの半周期分に相当する幅を有するとともに、そのバルス幅ずつシフトしている。換言すると、前段の一次バルスが出力された後直ちに次段の一次バルスが出力される。論理的なレベルでは順次出力される一次バルスは重ならないが、実際にはバルスの立ち上がりや立ち下がりにダレがあるのでジッタが生じ互いに重なり合う場合が生じる。

【0022】続いて、図3のタイミングチャートを参照して二次バルス $\Phi$ の生成動作について説明する。N段目のNAND<sub>n</sub>には前述した様に固定ボタン除去回路を構成するNOR<sub>n</sub>が接続されている。このNOR<sub>n</sub>はN段目の一次バルス $B_n$ と前段の二次バルス $\Phi_{n-1}$ とのノア処理を行ない、バルス $C_n$ を出力する。図3のタイミングチャートから明らかな様に、このバルス $C_n$ は前段の二次バルス $\Phi_{n-1}$ の立ち下がりに同期して立ち上がる。従って、N段目の一次バルス $B_n$ にジッタが含まれていても、対応するバルス $C_n$ からはこのジッタが除去される。このバルス $C_n$ は遅延素子DLY<sub>n</sub>を介して所定量だけ遅延され最終的な二次バルス $\Phi_n$ が出力される。この様に、固定ボタン除去回路は、先発の二次バルス $\Phi$ を制御信号として受け入れ且つこの先発二次バルス $\Phi$ の立ち下がりと同位相の立ち上がり $\Phi$ を有する後発二次バルス $\Phi$ の出力タイミングを制御し固定重複ボタンを取り除く。この様な処理を施されて順次出力された二次バルス $\Phi_{n-1}, \Phi_n, \Phi_{n+1}, \dots$ は互いに重なり合う事がなく従来問題となっていた表示画像の縦筋欠陥を除去できる。

【0023】図4は図1に示す回路の一変形例を表わしており、理解を容易にする為に特に水平走査部のN段目のみを切り取って示してある。図1に示す構成要素と同一部分については同一の参照符号を付してある。異なる点は、固定ボタン除去回路がインバータIとNAND素

子との組み合わせから構成されている事である。かかる構成を有する固定ボタン除去回路は図1に示す固定ボタン除去回路(NOR<sub>n</sub>)と同様の機能を有する。

【0024】図5を参照して、本発明にかかる水平走査部の他の実施例を説明する。理解を容易にする為に、図1に示す水平走査部と同一の構成要素については同一の参照符号を付してある。図1に示す実施例と異なる点は、シフトレジスタS/Rの各段出力端子に接続されていたNAND素子が取り除かれている事である。従って、本例においてはシフトレジスタの各段から出力されるデータバルスDが直接対応するNOR素子に入力されている。これに関連して、各NOR素子の他の入力端子には前段からの二次バルス $\Phi$ ではなく前々段からの二次バルス $\Phi$ が制御信号として入力されている。

【0025】次に、図6を参照して図5に示す水平走査回路の動作を説明する。前述した様に、シフトレジスタS/Rはクロック信号HCKの一周期分に相当する幅を有するデータバルスDを直接順次出力する。各データバルスはクロック信号の半周期分ずつ互いにシフトしている。この例ではデータバルスは2つのグループに分けられる。一方のグループは偶数段目のデータバルス $D_n, D_{n+2}, D_{n+4}, \dots$ を含み、他方のグループは奇数段目のデータバルス $D_{n+1}, D_{n+3}, D_{n+5}, \dots$ を含んでいる。偶数段グループのデータバルスと奇数段グループのデータバルスは各々異なった信号線から供給される映像信号をサンプリングする為に用いられる。同一グループ内においてジッタによりバルス干渉が生じる惧れがある。この為、本実施例では直前段の二次バルスではなく、前々段の二次バルス $\Phi$ を制御信号として当該段の二次バルス立ち上がりタイミングを規制している。この様に、本発明は一般に先発のバルス $\Phi$ を制御信号としてバルス干渉の可能性のある特定の後発バルス $\Phi$ の出力タイミングを規制するものであり、特定の後発バルス $\Phi$ は図1に示した様な次発バルスに限られるものではない。

【0026】この様に、間をおいてバルス発生タイミングを制御する事態は、例えば図7に示す場合にも現われる。この例では、シフトレジスタ内で転送されるデータバルスDの幅が長く設定されており、クロック信号HCKの二周期分に相当している。この場合でも、シフトレジスタは互いにクロック信号の半周期分ずつシフトされたデータバルス $D_n, D_{n+1}, D_{n+2}, D_{n+3}, D_{n+4}, D_{n+5}, \dots$ を順次出力する。図7のタイミングチャートから明らかな様に、バルス干渉あるいはビット干渉は3段おきに生じる。例えば、先発データバルス $D_n$ の立ち下がりタイミングと後発データバルス $D_{n+4}$ の立ち上がりタイミングが同位相にあるので、両者の間にビット干渉が生じる惧れがある。従って、この場合には4段前の水平スイッチ駆動バルス $\Phi$ を制御信号として当該段の水平スイッチ駆動バルス $\Phi$ の発生タイミングを規制する事となる。

【0027】

【発明の効果】以上説明した様に、本発明によれば、水平走査回路内に固定ボタン除去回路を設ける事により表示画像の縦筋欠陥を除去する事ができるという効果がある。又、固定ボタン除去回路は先発パルスを用いて後発パルスの出力タイミングを制御しているので回路構成が比較的簡便であるとともに、各段デバイスの電気特性のばらつきに対しても強い構造となっている。かかる固定重複ボタン除去機能付の水平走査回路は特にRGB同時駆動方式を採用するアクティブマトリクス型液晶表示装置に適用した場合顕著な効果を奏する事ができる。

【図面の簡単な説明】

【図1】本発明にかかる水平走査回路が適用されたアクティブマトリクス型液晶表示装置の一例を示す回路図である。

【図2】図1に示す水平走査回路の動作を説明する為のタイミングチャートである。

【図3】同じく水平走査回路の動作を説明する為のタイミングチャートである。

【図4】図1に示す水平走査回路に含まれる固定ボタン\*20

\* 除去回路の変形例を示す回路図である。

【図5】水平走査回路の他の実施例を示す回路図である。

【図6】図5に示す水平走査回路の動作を説明する為のタイミングチャートである。

【図7】図5に示す水平走査回路の変形例の動作を説明する為のタイミングチャートである。

【図8】従来のアクティブマトリクス型液晶表示装置を示す回路図である。

10 【図9】図8に示す従来例の課題を説明する為のタイミングチャートである。

【符号の説明】

S/R シフトレジスタ

NOR ノアゲート素子（固定ボタン除去回路）

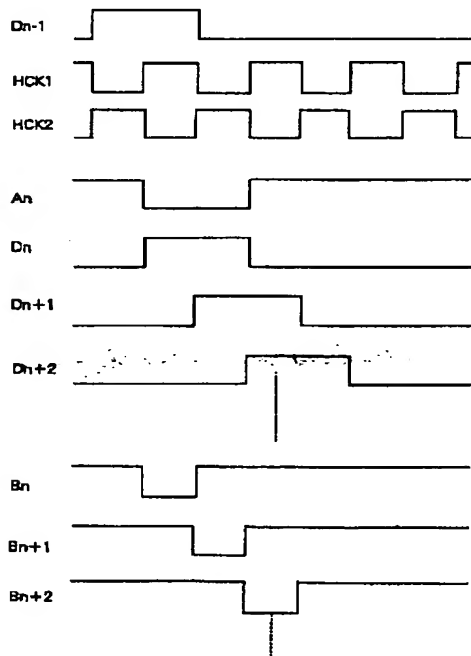
DLY 遅延素子

S トランсмисシヨングート素子（スイッチ手段）

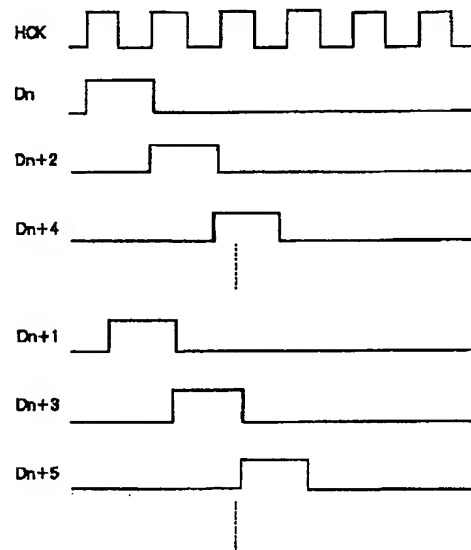
T 薄膜トランジスタ（能動素子）

L 液晶セル

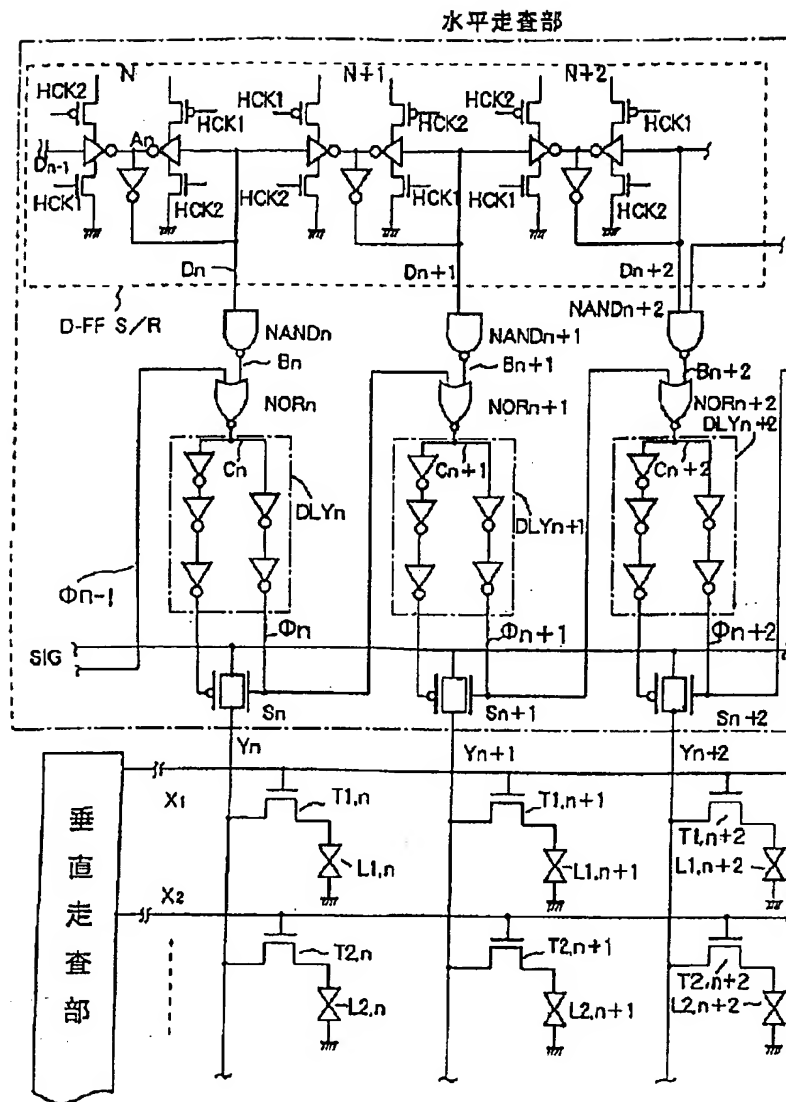
【図2】



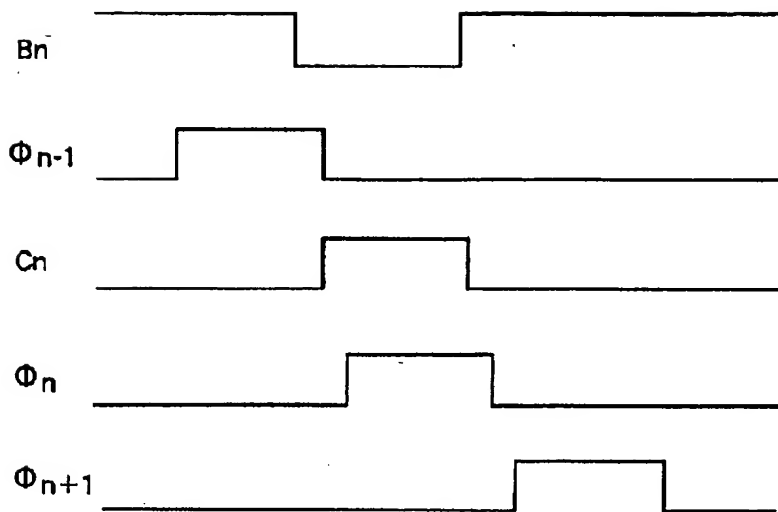
【図6】



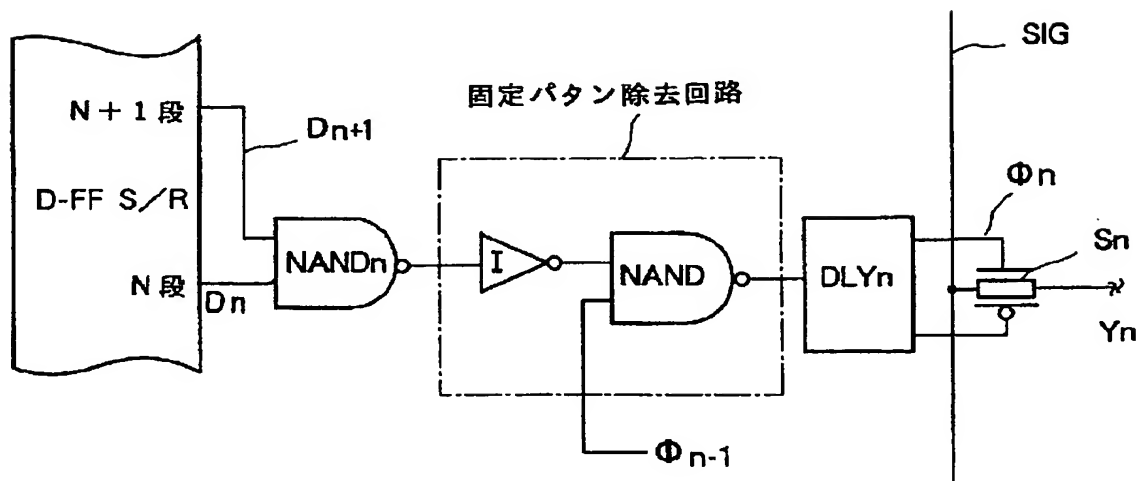
【図1】



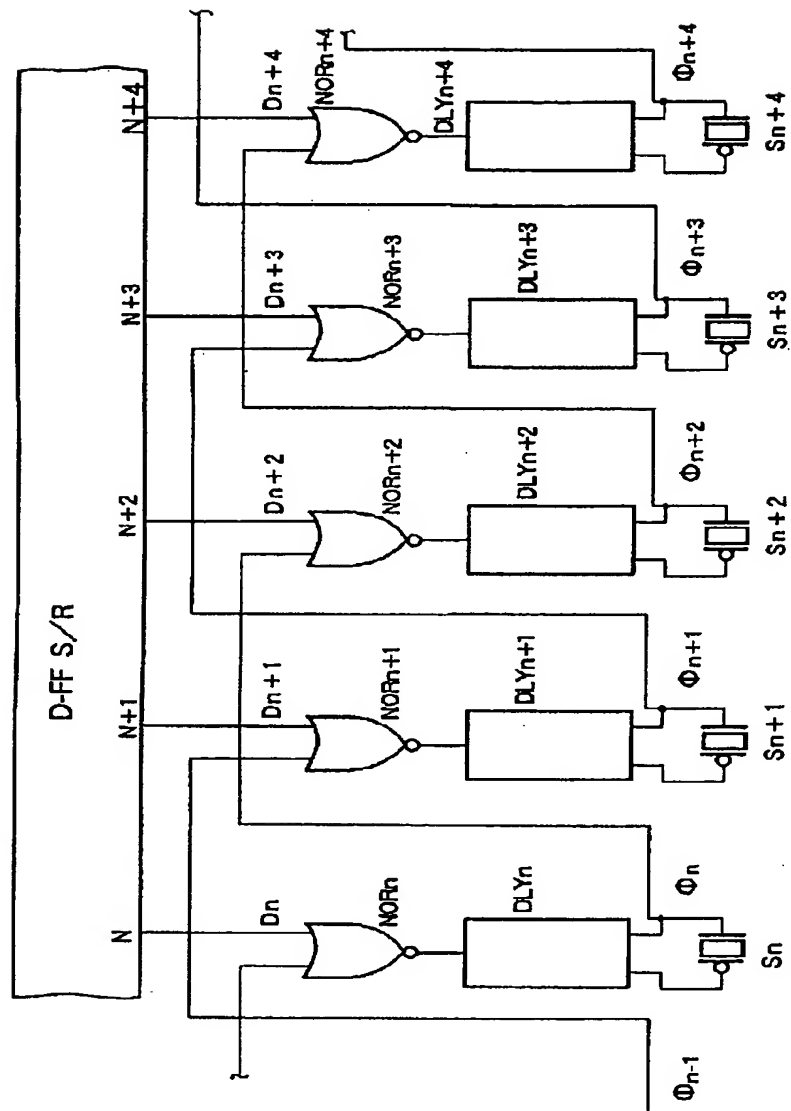
【図3】



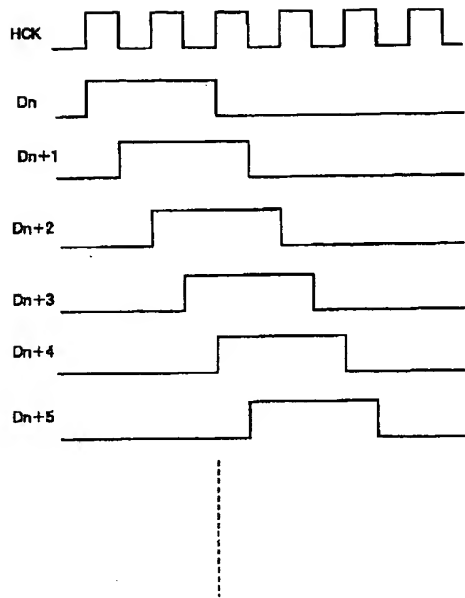
【図4】



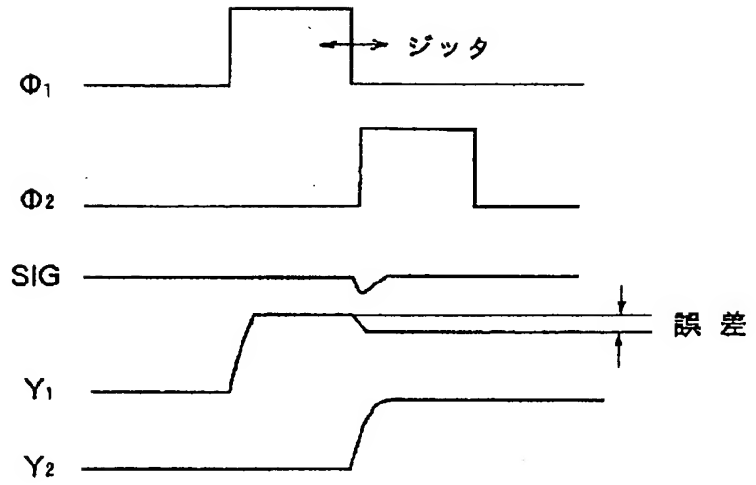
〔図5〕



【図7】



【図9】



【図8】

